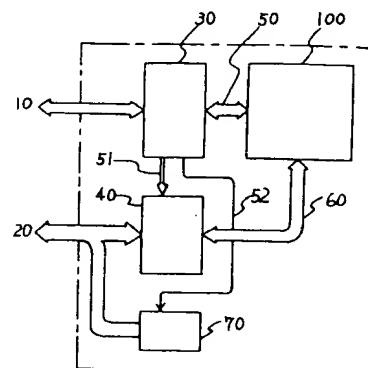


**(54) INTEGRATED CIRCUIT**

(11) 60-171540 (A) (43) 5.9.1985 (19) JP  
 (21) Appl. No. 59-26664 (22) 15.2.1984  
 (71) NIPPON DENKI K.K. (72) KATSUJI HOSODA  
 (51) Int. Cl. G06F11/00

**PURPOSE:** To identify an integrated circuit IC by providing a read-only discrimination label register storing the coded information inside the IC and reading electronically this register from outside.

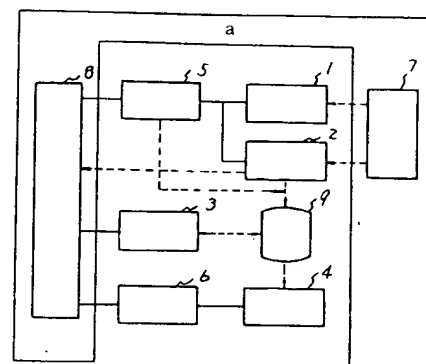
**CONSTITUTION:** An instruction is put on a control signal 10 to read out an ID register 70 storing the identification label ID information (name of IC, number of plates, working speed, name of maker, etc.) of an IC. Then a control circuit 30 decodes said instruction and turns on an output instruction signal 52 to deliver the contents of the register 70 onto a data bus signal 20. A data buffer circuit 40 is set at a high impedance by a data buffer control signal 52 given from the circuit 30. Therefore the signal 20 is never affected by the circuit 40. While the register 70 is set at a high impedance under the control of the circuit 30 when the circuit 40 is kept active.

**(54) RECOVERY SYSTEM FOR DEADLOCK INVALID DATA**

(11) 60-171541 (A) (43) 5.9.1985 (19) JP  
 (21) Appl. No. 59-27488 (22) 16.2.1984  
 (71) NIPPON DENKI K.K. (72) MASUAKI IWATA  
 (51) Int. Cl. G06F11/00, G06F9/46, G06F12/00

**PURPOSE:** To attain a deadlock data recovery system by using a memory data backout processing means, a static point informing means and an output data backout means when a deadlock is produced.

**CONSTITUTION:** A program A5 attains the data recovery when a deadlock is produced. The transaction data is fed to complete the processing if no data exists. While the transaction processing is carried out based on the contents of the data if exists. In this case, a data base access is carried out. The result of this access is held by the memory data in a program. At the same time, the interface data is delivered to an interface file 9 for a program B6. These data are not effective as long as a deadlock is produced. Thus a memory data backout processing means 1 is used to perform the recovery of the memory data. Then a static point informing means 2 is used to fix the possibility of recovery for the data delivered to the file 9.



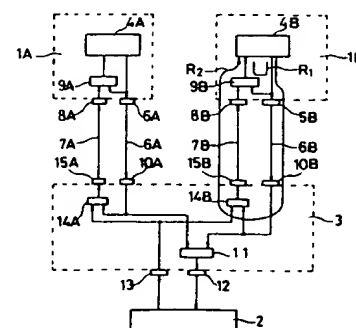
3: output data backout processing means, 4: static point data skip means, 7: deadlock detecting part, 8: program execution order control part, a: computer system

**(54) SELF-DIAGNOSIS DEVICE OF DOUBLE COMPUTER SYSTEM**

(11) 60-171542 (A) (43) 5.9.1985 (19) JP  
 (21) Appl. No. 59-27734 (22) 16.2.1984  
 (71) MEIDENSHA K.K. (72) KIYOUJI ONIZUKA(1)  
 (51) Int. Cl. G06F11/16

**PURPOSE:** To attain the self-diagnosis for an input/output processing function in a waiting state by enabling the slave side CPU to perform the input/output processing by means of the false input/output data while the master side CPU is executing the input/output processing.

**CONSTITUTION:** Two self-diagnosis loops are used for the self-diagnosis processing. One of these two loops is equal to an internal self-diagnosis data loop which fetches the self-diagnosis data given from an input/output processing part 4B to the part 4B again via a multiplexer 9B in a route R<sub>1</sub>. The other one is equal to an external self-diagnosis data loop which fetches the self-diagnosis data to the part 4B from the part 4B in a route R<sub>2</sub> (5B→6B→10B→14B→15B→7B→8B→9B). When these loops are formed, a CPU1B switches the multiplexer 9B according to the data loop. Then a switching part 3 controls a multiplexer 14B of the slave side so that the descending data is supplied from the slave side.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑬ 公開特許公報(A)

昭60-171540

⑫ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)9月5日

G 06 F 11/00

7368-5B

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 集積回路

⑯ 特 願 昭59-26664

⑰ 出 願 昭59(1984)2月15日

⑱ 発 明 者 細 田 勝 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 染 川 利 吉

明 細 書

1. 発明の名称

集積回路

2. 特許請求の範囲

制御信号とデータバス信号を入出力とする専用及び汎用型集積回路において、制御回路、データバッファ回路、データ処理回路等の基本回路構成要素の上に、該集積回路に関する符号化した情報を蓄積した複数ビットからなる読み出し専用のIDレジスタを具備し、前記制御信号により該IDレジスタ内の情報を前記データバス信号上に読み出すようにしたことを特徴とする集積回路。

3. 発明の詳細な説明

本発明は、マイクロコンピュータから超大型コンピュータにいたるあらゆる情報処理装置に使用される集積回路の回路構成に関するものである。

本発明の目的は、今までは集積回路メーカーによつて集積回路のケースに印刷された英数字からのみ集積回路の品名を認識していたのを、集積回路の内部に該集積回路の名称、版数、動作速度そし

てメーカー名等の符号化した情報を貯えた読み出し専用のレジスタ(IDレジスタ)を設け、外部から電子的に該レジスタを読み出すことによつて、集積回路を識別できるようにした回路構成をもつ集積回路を提供することにある。

本発明によれば、制御信号とデータバス信号を入出力とする専用及び汎用型集積回路であつて、制御回路、データバッファ回路、データ処理回路等の基本構成要素の上に、前記データバス信号に接続したID(Identification)レジスタを新しく備えることにより、制御信号を前記IDレジスタの内容をデータバス信号に出力する様にすると、本集積回路の名称、版数、動作速度、メーカー名等の符号化したID情報を得ることができ、集積回路単体時には集積回路に適応するテストプログラムの自動選別と実行等が、又、装置組み込み時には誤装填のチェックや集積回路の版数やメーカー識別による診断プログラムの自動分岐等が実施可能となる集積回路が提供される。

次に、本発明の実施例について図面を参照して

説明する。

第1図はこの発明の集積回路の一実施例を示したブロック図である。第1図の実施例における回路は、アドレス、ライト及びリード信号等からなる制御信号10、データバス信号20、制御信号10を入出力とする制御回路30、データバス信号20を入出力とし制御回路30の出力のデータバッファ制御信号51によりデータの流を制御される3ステート双方向のデータバッファ回路40、制御回路30からのタイミング制御信号50およびデータバッファ回路40からの内部データバス信号60を入出力とするデータ処理回路100とを基本構成とする専用及び汎用型集積回路であつて、制御回路30からの出力命令信号52によりデータバス信号20上に集積回路の名称、版数、動作速度、メーカー名等のID情報を出力する3ステートの読み出し専用のIDレジスタ70が新しく追加されている。

第1図の実施例の構成から明確なように、本発明は一般的な専用及び汎用型集積回路に読み出し

専用のIDレジスタが追加されている点が構成上大きな特徴となつている。以下読み出し専用のIDレジスタを取付けた目的及び使用法について説明する。第2図に本集積回路に関する種々の情報を貯えている読み出し専用の16ビットのIDレジスタのフォーマット例を示す。第2図は、12ビット(ビット4～ビット15)を名称を示すビットに、2ビット(ビット2～ビット3)を動作速度を示すビットに、残りの2ビット(ビット0～ビット1)を集積回路の機能の追加等の履歴即ち版数を示すビットに、それぞれフォーマットしたIDレジスタの例である。第1図及び第2図に示したIDレジスタは次のようにして使用する。第1図において、制御信号10に集積回路のID情報を貯えているIDレジスタ70を読み出す為の命令をのせると、制御回路30で本命令を解釈して、出力命令信号52をONにしIDレジスタ70の内容をデータバス信号20上に出力する。なおこの時、データバッファ回路40は、制御回路30からのデータバッファ制御信号52により

ハイインピーダンス状態になるために、データバス信号20には影響を与えない。逆にデータバッファ回路40が動作している時、IDレジスタ70はハイインピーダンス状態になるように制御回路30により制御される。

以上から明らかなように、本発明に示す如く集積回路に関するID情報を貯えておくIDレジスタを付加すると、次のような種々の利点及び今後の発展が見込まれる。

まず集積回路メーカー側における利点として次のことがあげられる。

(i)、同一端子数の集積回路でIDレジスタをアクセスするのに必要な制御信号とデータ信号の入出力端子の削減りを規格化すれば、同一端子数の集積回路の範囲内で多品種の自動テストが可能になる。

(ii)、従つて上記(i)に示した条件下ではFA(Factory Automation)化が簡単に実現できる。

次に集積回路のユーザー側における利点としては

次の点があげられる。

(i)、集積回路の受入れ検査時において版数の違いによるトラブルが避けられ検査の自動化が可能となる。

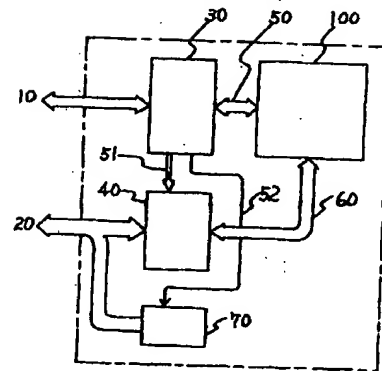
(ii)、装置又はプリント基板に実装された状態で誤実装のチェックが電子的に可能となる。

(iii)、集積回路の機能が追加されたときに、IDレジスタの内容を読みだすことにより、その機能の有無をチェックできるので、装置の機能の管理も電子的に可能となる。

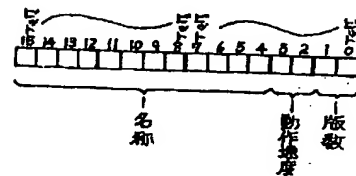
以上の如く本発明は集積回路の入出力端子の割付けが規格化されない場合でも利点が多く、もし規格化されれば格段の利点を発揮する。又、現在ほとんどの電子回路が集積回路化されつつあるが、本発明の概念が入出力端子の機能割付けの規格化の働きかけにもなり得る。規格化が実現すれば、集積回路の品種の急激な増加に悩むメーカー及びユーザーにとつて大きな救いとなり、更に大きな発展を促すことになる。

本発明は以上説明したように、制御信号とデー

第1図



第2図



データバス信号を入出力とする専用及び汎用型集積回路にIDレジスタを付加することにより、本集積回路の名称、版数、動作速度、メーカー等の符号化したID情報を得ることができる為、診断プログラムの自動選別、集積回路の誤実装のチェック等が人手を介さずに電子的に行うことができる。

#### 4. 図面の簡単な説明

第1図は本発明に係る集積回路の一実施例のブロック図、第2図は本発明の集積回路の構成要素であるIDレジスタのフォーマットの一例を示した図である。

- 10…制御信号、
- 20…データバス信号、
- 30…制御回路、
- 40…データバッファ回路、
- 50…タイミング制御信号、
- 51…データバッファ制御信号、
- 52…出力命令信号、
- 60…内部データバス信号、
- 70…IDレジスタ。

代理人 弁理士 柴川 利 清